

溶液プロセスを活用した酸化物ナノ構造の 形成とデバイス応用

北陸先端科学技術大学院大学 先端科学技術研究科 徳光永輔

Fabrication of Oxide Nano-structures using Solution Process for Device Applications

Eisuke Tokumitsu

School of Materials Science, Japan Advanced Institute of Science and Technology

酸化物の溶液原料を塗布して形成した前駆体膜を直接ナノインプリントする新手法により酸化物のパターンを作製し、薄膜トランジスタ (TFT) の作製へ応用する研究を実施した。試作に成功したデバイスは、導電性酸化物の In-Sn-O (ITO) をチャンネルとソース/ドレインの両方に用いた新しい概念の TFT である。最初に In_2O_3 および In-Sn-O (ITO) の原料溶液を調製し、薄膜を形成して電気的特性を評価した。次に強誘電体 $(\text{Bi,La})_4\text{Ti}_3\text{O}_{12}$ (BLT) ゲート絶縁膜上に ITO 原料溶液を塗布し、直接ナノインプリント法により薄いチャンネル領域と厚いソース/ドレイン領域を一括形成した。電気的特性を評価したところ、ITO の膜厚が 20 nm 程度と薄い場合には、通常の n チャンネルトランジスタ動作を観測することに成功した。

A new method using direct nanoimprinting of precursor films formed by a solution process was employed to produce oxide-channel thin film transistors (TFTs). The device successfully fabricated in this work is a new concept TFT using conductive oxide In-Sn-O (ITO) for both channel and source/drain regions. First, electrical properties of In_2O_3 and In-Sn-O (ITO) thin films by the solution process were characterized. Then, In_2O_3 and ITO films were prepared on the ferroelectric $(\text{Bi,La})_4\text{Ti}_3\text{O}_{12}$ (BLT) gate insulating film and direct nanoimprint method was applied to form TFT structures. In the present method, the thin channel region and the thick source/drain region were simultaneously formed. The normal n-channel transistor operation was demonstrated successfully when the channel thickness is as thin as 20 nm.

1. はじめに

情報化社会が進化し続ける現在、IoT (Internet of Things : モノのインターネット) という概念が提唱され、各端末機器に使用するセンサや情報処理を行う集積回路やメモリの需要は今後も増大し続けると予想される。しかも多種多様なデバイスを安価で供給することが求められている。半導体エレクトロニクスの分野においては、シリコン集積回路の低消費電力化、パワーデバイスの高効率化などが進んできたが、電子デバイスや集積回路の作製プロセスに至っては、省エネルギー、省資源の検討はほとんどされていないのが現状である。最先端のシリコン集積回路は、その基本素子である電界効果型トランジスタ (MOSFET) の微細化により高性能化と高集積化を達成してきたが、極微細デバイスを作

製するための装置は大型化、高コスト化が進んだ。従ってこれからのIoT社会に適合し、低コストで多様なデバイスを作製していくには、製品である電子デバイスや集積回路だけでなく、その製造の工程においても省エネルギー・省資源を実現しなければならない。現在の半導体集積回路の作製プロセスは、薄膜形成→パターン形成(リソグラフィ)→不要部分除去(エッチング)という一連の工程が繰り返される中で、大型の真空装置や露光装置が多大な電力を消費している。またこれら大型設備のコストも高い。我々は、この高コスト・高エネルギープロセスの現状を打破するために、溶液プロセスとナノインプリントを融合させた新しい低コスト・省エネルギー・省資源なデバイス作製プロセスの開発に取り組んでいる。

本研究では、溶液プロセスと「相性」のよい酸化物材料を対象とした。酸化物半導体は、In-Ga-Zn-O (IGZO)を用いた薄膜トランジスタ(TFT)がスマートフォンのディスプレイに使用されるなど近年脚光を浴びている。IGZOは、TFTに応用した場合、特にオフ電流が小さく待機時の消費電力が少ないという特徴がある。さらに、酸化物半導体はマイクロオーダーのディスプレイ用TFTだけでなく、微細な素子を実現すれば論理回路や不揮発性メモリとしても有望である¹⁾。また、強誘電体メモリ(FeRAM)や抵抗変化メモリ(ReRAM)などの不揮発性メモリ素子にも酸化物材料が用いられている。従って酸化物ナノ構造を実現できれば酸化物のバラエティに富んだ物性を利用して、様々な種類の高性能機能性電子デバイスが実現できると期待される。特に本研究では、わずか1回のナノインプリント工程によってTFTのチャネルとソース/ドレインを同一の材料で一括形成するという、極めて簡便・省電力な作製プロセスによるデバイス形成に挑戦した。これは既存のデバイス作製プロセスとは全く異なる発想の革新的なプロセスであり、エネルギーおよび資源の効果的な利用が期待できる。

2. 直接ナノインプリント法による薄膜トランジスタ一括作製プロセス

本研究では、酸化物の溶液原料を塗布して形成したゲル膜を直接ナノインプリントして微細パターンを形成する手法を採用した²⁾。最初に目的とする酸化物の原料溶液を調製し、基板上にスピコート法などを用いて塗布し、乾燥させる。ここにパターンが刻まれたモールド(鋳型、スタンプ)を押し当て、温度を160~200℃に上昇させる。この温度域付近で、塗布した酸化物ゲル膜のレオロジー特性が変化し(すなわちゲル膜が柔らかくなり)、モールドが押し込まれる。降温後、モールドを剥離すると、モールドに刻まれたパターンが酸化物ゲル膜に転写されることになる。この時、モールドの凸部で押されたところは薄い「残膜」として残っているので、通常はドライエッチング法により残膜を除去するが、Fig.1、2に示すように、本研究ではこの部分をTFTのチャネルとして利用する。このプロセスは、材料のレオロジー特性が重要になることから、ナノレオロジープリンティング(nano-rheology printing : n-RP)とも呼ばれ²⁾、その大きな特徴は、インクジェット印刷等では到底達成不可能な100nm以下の極微細パターンにも対応できること、膜厚制御・パターン形状制御が可能なることに加え、装置コストやプロセスコストが低いという点である。

本研究の大きな特徴は、溶液プロセスと直接ナノインプリント法による酸化物チャネル薄膜トランジスタを簡便なプロセスで実現するために、チャネルとソース/ドレインを導電性の同一材料で構成する新概念の薄膜トランジスタを提案している点である。本構造では、Fig.1に示すように、ITOの薄い部分がチャネル、厚いITO部分がソースおよびドレ

インとなる。チャネルとソース/ドレインの両方に同一材料を用いており、膜厚の差によりチャネルとソース/ドレイン(または電極とも言う)という別々の機能を実現する。この構造は、Fig.2に示すように、たった1回の直接インプリントプロセスで形成することが可能となる。通常のパターニングでは所謂「残膜」はエッチングで除去されるが、本研究ではこの残膜部をチャネルに、厚いITOをソース/ドレインとして利用する。さらにソース/ドレインに加えて局所配線も同時に一括して作製可能であるため、集積回路の作製工程数が削減される。これは溶液プロセスを用いることと相乗効果で低コスト化に大きく寄与すると期待される。

本構造のデバイスが動作する条件は、薄いITOのチャネル層がゲートに負電圧を印加した時に完全空乏化し、オフ状態が実現できることである。ITOチャネルの膜厚を10nm、キャリア濃度を $1 \times 10^{20} \text{ cm}^{-3}$ と仮定すると、概算で $16 \mu\text{C}/\text{cm}^2$ となる。ゲート絶縁膜として広く用いられる SiO_2 は、比誘電率が3.9、絶縁破壊電界が10 MV/cmであるため、最大でも $3.5 \mu\text{C}/\text{cm}^2$ の電荷量しか誘起できないため、本研究のデバイスには利用できない。これに対し強誘電体は、残留分極が存在するために、1 MV/cm以下の電界印加時においても、容易に $10 \mu\text{C}/\text{cm}^2$ 以上の電荷量を誘起できる。本研究では $(\text{Bi,La})_4\text{Ti}_3\text{O}_{12}$ (BLT)という強誘電体をゲート絶縁膜として用いた。強誘電体は材料自身に不揮発性メモリ機能があるために、不揮発性メモリ用材料として用いられるのが一般的であるが、本研究では大きな電荷量を制御するためのゲート絶縁膜として用いていることが特徴である。

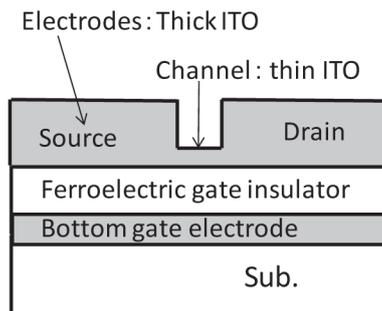


Fig. 1 Schematic illustration of the proposed TFT structure nano-imprint process

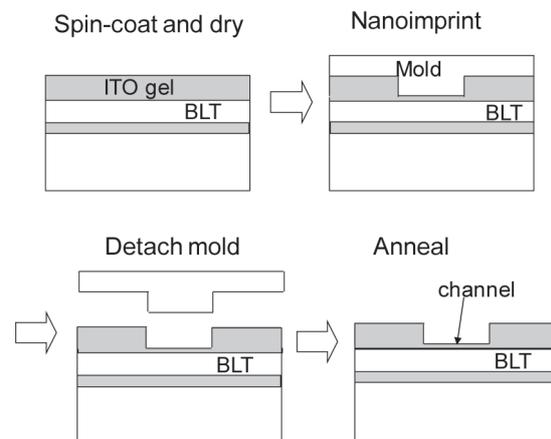


Fig. 2 TFT fabrication process using direct nano-imprint process

3. 実験と結果

3.1 In_2O_3 、ITO薄膜の形成と電気的特性

現在までの実験から、インジウムアセチルアセトナート： $\text{In}(\text{acac})_3$ をプロピオン酸：PrAに溶解した原料溶液を用いて In_2O_3 薄膜を形成すると、直接インプリント法により良好なパターンが形成できることが明らかとなっているので、本研究では、この In_2O_3 原料溶液にSn原料として SnCl_2 または $\text{Sn}(\text{acac})_2$ を添加してITOの原料溶液を調製した。溶媒はPrAである。調整した原料溶液を SiO_2/Si 基板上にスピコートし、ホットプレート上で 100°C 、3分乾燥した後、高速アニール炉(RTA)に搬入し、 600°C 、1時間、酸素雰囲気中でアニール処理を行った。Fig.3はHall測定により得られた移動度とキャリア濃度を添加したSnの量に大したプロットしたグラフである。 In_2O_3 薄膜においては、 $45 \text{ cm}^2/\text{Vs}$ という高い移動度が得られた。ITO薄膜においてはSnの添加量に伴って移動度が低下

し、また Sn 原料に $\text{Sn}(\text{acac})_2$ を用いた方が SnCl_2 を用いた場合よりも高い移動度が得られることが分かった。 $\text{Sn}(\text{acac})_2$ を用いた場合、Sn 添加量 1% の ITO における Hall 移動度は $25 \text{ cm}^2/\text{Vs}$ 程度であった。キャリア濃度は、 In_2O_3 の場合が 10^{19} cm^{-3} 程度であるのに対し、ITO の場合は 10^{20} cm^{-3} であった。またキャリア濃度の Sn 添加量依存性は認められなかった。

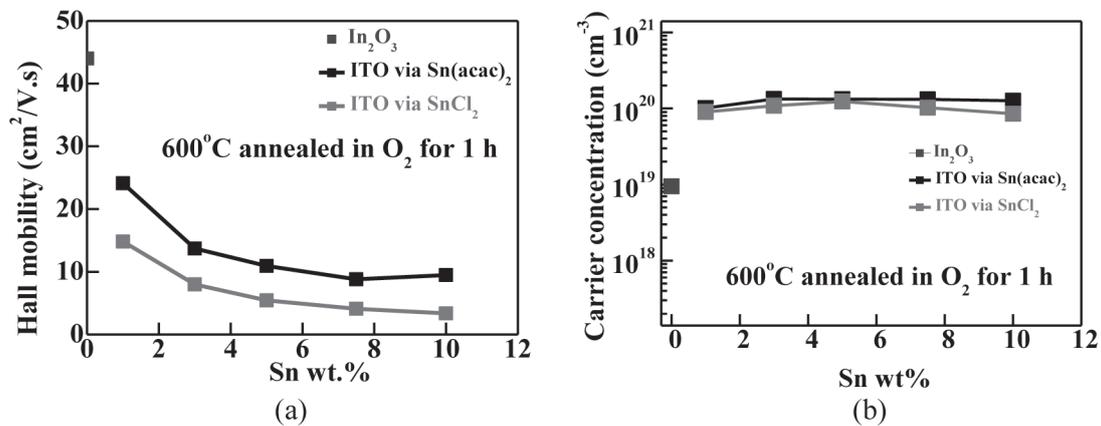


Fig.3 (a) Hall mobility and (b) carrier concentration of In_2O_3 and ITO thin films fabricated by the solution process.

3.2 強誘電体ゲート絶縁膜の形成と評価

本研究で形成する薄膜トランジスタは、導電性材料の ITO または In_2O_3 をソース / ドレインだけでなくチャンネルとしても利用するので、ゲートに負電圧を印加した際にチャンネルが完全に空乏化してデバイスがオフするように、大きな電荷量を制御できるゲート絶縁膜が必要である。本研究ではこの目的のために、ゲート絶縁膜として $(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$ (BLT) という強誘電体膜を用いている。誘電体を用いて導電性チャンネルを制御するアイデアは著者ら独自のものである³⁾。デバイスの試作に先立って溶液プロセスにより強誘電体 BLT 薄膜を、Pt 電極を堆積した SiO_2/Si 基板上へ形成し、その特性を評価した。原料溶液は市販のものを用い、結晶化のためのアニール温度は 750°C である。

本研究で提案する TFT 構造では、導電性酸化物をチャンネルとして用いており、その膜厚は 20nm 程度まで薄くする必要がある。従って下地となるゲート絶縁膜の表面の平坦性がよいことが望ましい。溶液プロセスにより 750°C で結晶化した BLT 膜の表面粗さは、Fig.4 に示すようにピーク間で数十 nm (二乗平均値 rms 値で 8nm 程度) にもなる。従って BLT 膜を焼成後、機械的に表面を研磨する平坦化処理を行った。様々な条件を試したが、研磨処理により BLT の表面粗さは、rms 値で 7.6 nm から 0.9 nm に低減した。また膜厚は 170 nm から 120 nm に減少しており、研磨により表面から 50 nm ほどの膜が除去されている。さらに、この時に用いるスラリー (研磨剤) は Al_2O_3 微粒子を含む強アルカリ性溶液であるため、強誘電特性の劣化が懸念された。研磨後の BLT 膜について電気的特性を評価したところ、Fig.5 に示すような良好な強誘電体のヒステリシス特性が得られた。残留分極の値は約 $15 \mu\text{C}/\text{cm}^2$ と BLT の文献値と遜色のない値が得られている。

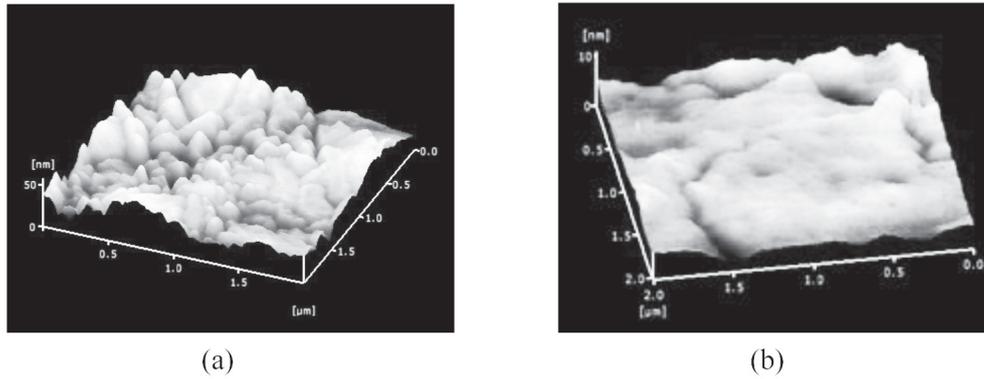


Fig. 4 AFM image of the BLT surface (a) before and (b) after polishing process.

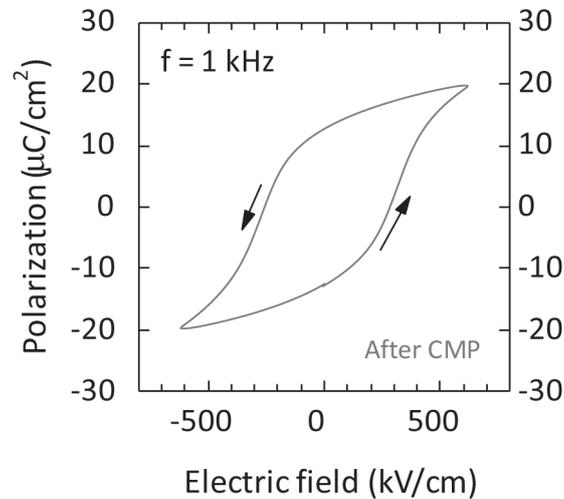


Fig. 5 P-E hysteresis loop of the BLT film after polishing process

3.3 直接インプリントによる薄膜トランジスタの一括形成

本研究では Fig.2 に示したようなプロセスで、ITO をチャンネルとソース / ドレインの両方に用いた薄膜トランジスタを 1 回のナノインプリント工程で作製した。デバイスの動作検証に使用したモールドは、石英製で Fig.6 に示すように格子状のパターンを有したもので、凸部の幅は 10μm、凹部は 100μm 角の正方形で、深さは 500 nm である。昨年度まで

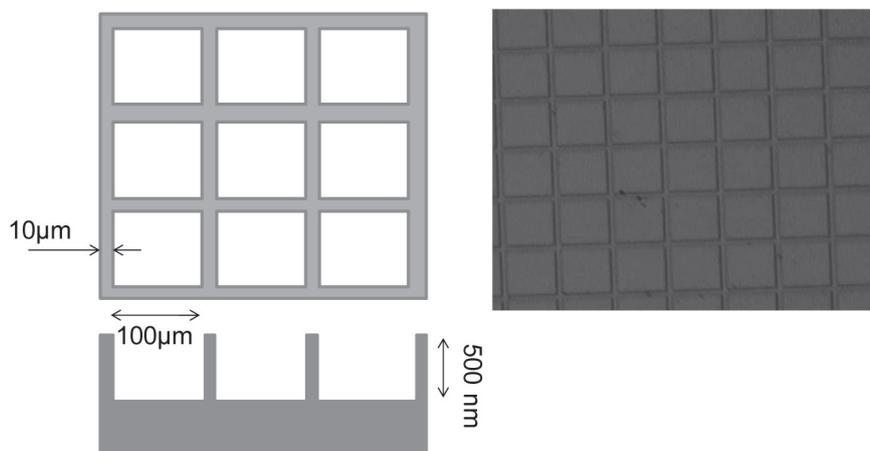


Fig. 6 Schematic representation of a mold used in this work

の研究で、Sn 原料に SnCl_2 を用いた場合には直接インプリントにおいて成型特性に劣化が見られること、さらに今回明らかになったように SnCl_2 を用いた場合には移動度も低下することから、ITO の原料溶液には $\text{In}(\text{acac})_3$ と $\text{Sn}(\text{acac})_2$ を PrA に溶解したものをを用いた。

Fig.7 は作製した ITO パターンの光学顕微鏡写真である。さらに、AFM による観察も行い、モールドの凸部で押された部分、すなわち ITO ゲル膜が凹んだ部分が $10\mu\text{m}$ とモールドの凸部形状と一致していることを確認した。今回の実験では、ナノインプリント時の圧力を 7.1 MPa として形成したパターンでは、チャンネルとなるモールドの凸部で押された部分の ITO 膜厚は 20 nm 、モールドの凹部に対応する部分の ITO 膜厚は 110 nm であった。

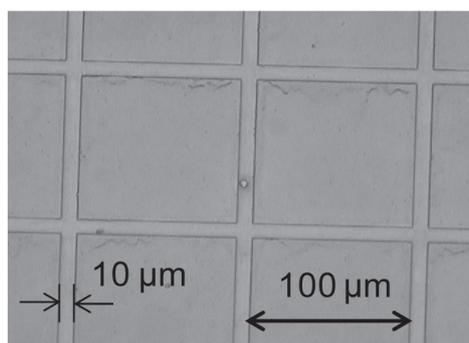


Fig. 7 Optical micrograph of direct nano-imprinted ITO pattern.

次にトランジスタ特性を評価した。本研究で提案するデバイスは、Fig.1 に示したように、ITO の厚いところがソース / ドレイン、薄い領域がチャンネルとなるので、測定にあたっては、Fig.8 (a) に示すように測定プローブを接触させたが、これに加えて、ITO の厚い部分に2つのプローブを接触させた測定も行った。Fig.8 (c) は得られた伝達特性(ドレイン電流ーゲート電圧特性)を示している。ITO の膜厚の厚いソースとドレイン領域を、薄いITO のチャンネルを挟んで測定した通常のプロベイング(Fig.8 (a)、Fig.8 (c) 中には S-D と表記)では、 n チャンネルのトランジスタ特性が得られており、負のゲート電圧を印加することにより、薄い ITO のチャンネル部分が空乏化して、TFT がオフ状態になることが確認できる。オン・オフ比は 104 程度であった。これに対し、ITO 膜厚の厚いドレイン領域に、2本のプローブを接触させた場合((Fig.8 (b)、Fig.8 (c) 中には D-D と表記)には、負のゲート電圧を印加した場合でもデバイスがオフ状態にならず、トランジスタとして動作していないことが分かる。これは、ITO のキャリア濃度が 10^{20} cm^{-3} 程度と大きいため、 110 nm の膜厚があると空乏化できないことに対応している。また、Fig.8(c) の伝達特性(S-D)では、強誘電体ゲート絶縁膜に起因するヒステリシス特性も明確に観測されている。

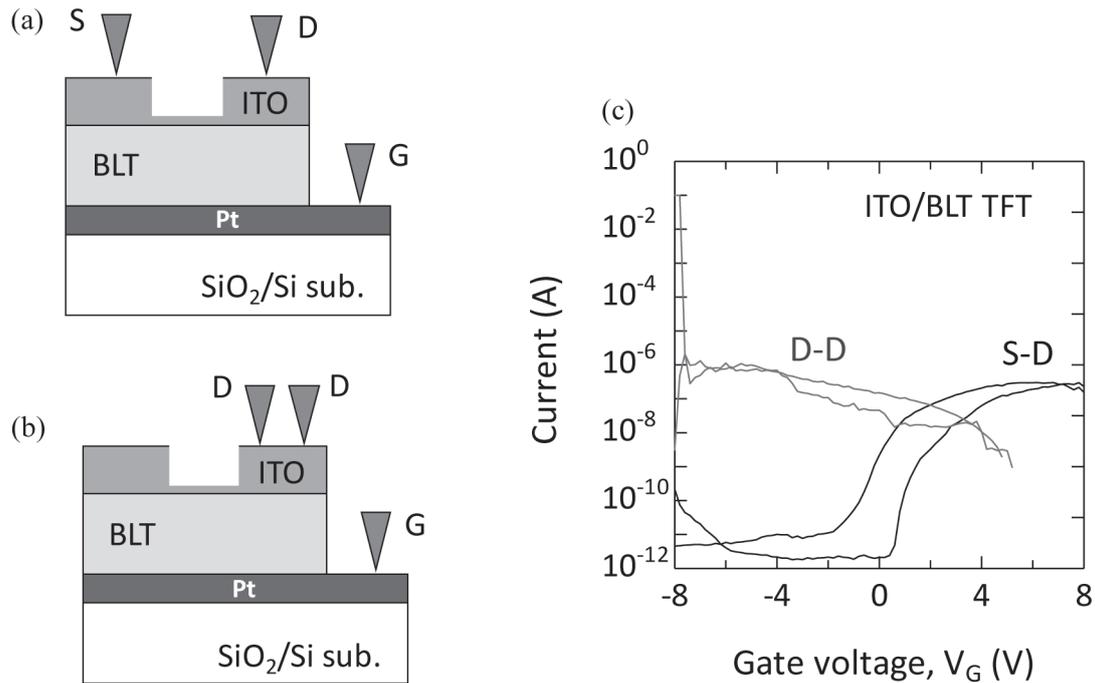


Fig.8 Schematic illustration of the measurement configurations with (a) source-drain (S-D) and (b) drain-drain (D-D) probing. (c) Observed drain current – gate voltage characteristics for these two configurations.

4. 結論

本研究では、最初に ITO (In-Sn-O) の原料溶液を調製し、電気的特性を評価した。次に強誘電体 BLT を溶液プロセスにより塗布、焼成後、機械研磨により表面を平坦化し、強誘電体特性を確認した。さらにその上に ITO 溶液を塗布して直接ナノインプリントの手法により膜厚の異なるパターンを形成して TFT 構造とした。500℃でアニール処理をした後に電気的特性を評価したところ、通常の n チャンネルのトランジスタ特性を確認することに成功した。

本研究は、ITO という導電性酸化膜をチャンネルとソース / ドレインの両方に利用し、膜厚を変えることでそれぞれの機能を発現する新しい概念の薄膜トランジスタを提案し、さらにこの構造が 1 回のナノインプリントプロセスで実現できることを明らかにした。提案したデバイスは導電性材料を用いているため、トランジスタと局所配線の一括形成も可能となり、デバイスの低コストでの集積化に向いている。本研究の成果は、従来の「半導体エレクトロニクス」から「導体エレクトロニクス」とでも呼ぶべき新しい体系への端緒を拓くものである。

文献

- 1) Y. Asami, et al., Jpn. J. Appl. Phys., **55**, 04EGF09 (2016).
- 2) T. Kaneda. et al., J. Mater. Chem. C, **2**, 40, (2014).
- 3) T. Miyasako et al., Appl. Phys. Lett., **86**, 162902 (2005).